



日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
th this Office.

出願年月日
Date of Application:

1999年12月27日

出願番号
Application Number:

平成11年特許願第370803号

出願人
Applicant(s):

株式会社村田製作所

RECEIVED
JAN 14 2000
TC 2000-3006148

2000年 2月14日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3006148

【書類名】 特許願
 【整理番号】 199235
 【提出日】 平成11年12月27日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01G 4/30
 【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
 製作所内

【氏名】 内藤 康行

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
 製作所内

【氏名】 黒田 誉一

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
 製作所内

【氏名】 堀 晴雄

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
 製作所内

【氏名】 近藤 隆則

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
 製作所内

【氏名】 谷野 能孝

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
 製作所内

【氏名】 村田 充弘

【特許出願人】

【識別番号】 000006231
 【氏名又は名称】 株式会社村田製作所
 【代表者】 村田 泰隆

【代理人】

【識別番号】 100085143
 【弁理士】
 【氏名又は名称】 小柴 雅昭
 【電話番号】 06-6779-1498

【選任した代理人】

【識別番号】 100103517
 【弁理士】
 【氏名又は名称】 岡本 寛之
 【電話番号】 06-6779-1498

【手数料の表示】

【予納台帳番号】 040970
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層コンデンサ、配線基板、デカップリング回路および高周波回路

【特許請求の範囲】

【請求項 1】 相対向する 2 つの主面およびこれら主面間を連結する 4 つの側面を有する直方体状のコンデンサ本体を備え、

前記コンデンサ本体は、前記主面の延びる方向に延びる複数の誘電体層、およびコンデンサユニットを形成するように特定の前記誘電体層を介して互に対向する少なくとも 1 対の第 1 および第 2 の内部電極を備え、

前記コンデンサ本体は、さらに、前記第 1 の内部電極から少なくとも 1 つの前記側面上の少なくとも 2 つの位置にまで引き出される、少なくとも 2 個の第 1 の引出電極を備えるとともに、前記第 2 の内部電極から前記第 1 の引出電極が引き出された位置の間に挟まれた位置にまで引き出される、少なくとも 1 個の第 2 の引出電極を備え、

前記第 1 および第 2 の引出電極が引き出された前記側面上には、前記第 1 および第 2 の引出電極にそれぞれ電気的に接続される第 1 および第 2 の外部端子電極が設けられ、

前記第 1 および第 2 の引出電極の各々の長さ方向寸法 L と幅方向寸法 W との比率 L/W は、0.4 以上かつ 3.0 以下であることを特徴とする、積層コンデンサ。

【請求項 2】 前記比率 L/W は、0.4 以上かつ 1.3 以下であることを特徴とする、請求項 1 に記載の積層コンデンサ。

【請求項 3】 前記第 1 および第 2 の引出電極は、少なくとも相対向する 2 つの前記側面の各々上にまで引き出される、請求項 1 または 2 に記載の積層コンデンサ。

【請求項 4】 4 つの前記側面の各々上に、前記第 1 および第 2 の引出電極の少なくとも一方が引き出される、請求項 1 ないし 3 のいずれかに記載の積層コンデンサ。

【請求項 5】 前記第 1 の引出電極と前記第 2 の引出電極とは、前記主面の

周方向に見たとき、交互に配置されている、請求項 1 ないし 4 のいずれかに記載の積層コンデンサ。

【請求項 6】 マイクロプロセッシングユニットに備える M P U チップのための電源回路に接続されるデカップリングコンデンサとして使用される、請求項 1 ないし 5 のいずれかに記載の積層コンデンサ。

【請求項 7】 請求項 1 ないし 6 のいずれかに記載の積層コンデンサが実装された、配線基板。

【請求項 8】 マイクロプロセッシングユニットに備える M P U チップがさらに実装されている、請求項 7 に記載の配線基板。

【請求項 9】 請求項 1 ないし 6 のいずれかに記載の積層コンデンサを備える、デカップリング回路。

【請求項 1 0】 請求項 1 ないし 6 のいずれかに記載の積層コンデンサを備える、高周波回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、積層コンデンサ、配線基板、デカップリング回路および高周波回路に関するもので、特に、高周波回路において有利に適用され得る積層コンデンサ、ならびに、この積層コンデンサを用いて構成される、配線基板、デカップリング回路および高周波回路に関するものである。

【 0 0 0 2 】

【従来の技術】

従来からある最も典型的な積層コンデンサは、たとえばセラミック誘電体からなり、積層される複数の誘電体層、ならびに複数のコンデンサユニットを形成するように特定の誘電体層を介して互に対向しながら誘電体層の積層方向に交互に配置される複数対の第 1 および第 2 の内部電極を有する、コンデンサ本体を備えている。コンデンサ本体の第 1 および第 2 の端面には、それぞれ、第 1 および第 2 の外部端子電極が形成される。第 1 の内部電極は、コンデンサ本体の第 1 の端面上にまで延び、ここで第 1 の外部端子電極に電気的に接続され、また、第

2の内部電極は、第2の端面上にまで延び、ここで第2の外部端子電極に電氣的に接続される。

【0003】

この積層コンデンサにおいて、たとえば第2の外部端子電極から第1の外部端子電極へと流れる電流は、第2の外部端子電極から第2の内部電極へと流れ、この第2の内部電極から誘電体層を通して第1の内部電極に至り、次いで、この第1の内部電極内を通して第1の外部端子電極へと至る。

【0004】

コンデンサの等価回路は、コンデンサの容量をC、等価直列インダクタンス(ESL)をL、等価直列抵抗(ESR)と呼ばれる主に電極の抵抗をRとしたとき、直列にCLRが接続された回路で表わされる。

【0005】

この等価回路では、共振周波数(f_0)は、 $f_0 = 1 / [2\pi \times (L \times C)^{1/2}]$ となり、共振周波数より高い周波数では、コンデンサとして機能しなくなる。言い換えると、LすなわちESL値が小さければ、共振周波数(f_0)は高くなり、より高周波で使用できることになる。なお、マイクロ波領域で使うためには、より一層の低ESL化が図られたコンデンサが必要となる。

【0006】

また、ワークステーションやパーソナルコンピュータ等のマイクロプロセッシングユニット(MPU)のMPUチップに電源を供給する電源回路に接続されるデカップリングコンデンサとして用いられるコンデンサにおいても、低ESL化が求められている。

【0007】

図7は、上述したMPU1および電源部2に関する接続構成の一例を図解的に示すブロック図である。

【0008】

図7を参照して、MPU1は、MPUチップ(ベアチップ)3およびメモリ4を備える。電源部2は、MPUチップ3に電源を供給するためのもので、電源部2からMPUチップ3に至る電源回路には、デカップリングコンデンサ5が接続

されている。また、MPUチップ3からメモリ4側には、信号回路が構成されている。

【0009】

上述したようなMPU1に関連して用いられるデカップリングコンデンサ5の場合でも、通常のデカップリングコンデンサと同様、ノイズ吸収や電源の変動に対する平滑化のために用いられるが、さらに、最近では、MPUチップ3において、その動作周波数が500MHzを超えて1GHzにまで達するものが計画されており、このようなMPUチップ3に関連して高速動作が要求される用途においては、クイックパワーサプライとしての機能（立ち上がり時等の電力が急に必要時に、コンデンサに充電された電気量から数ナノ秒の間に電力を供給する機能）が必要である。

【0010】

このため、MPU1におけるデカップリングコンデンサ3にあっても、インダクタンス成分ができるだけ低い、たとえば10pH以下であることが必要となっており、このようにインダクタンス値の低いコンデンサの実現が望まれている。

【0011】

より具体的に説明すると、あるMPUチップ（動作クロック周波数約500MHz）3では、DC約2.0Vが供給され、消費電力は約24W、すなわち12A位の電流が流れる設計になっている。その消費電力の低減化のために、MPU1が動作していない時はスリープモードとして、消費電力を1W以下にまで落とす仕様が採用されている。スリープモードからアクティブモードへの変換時、MPUチップ3には、その動作数クロックのうちにアクティブモードに必要な電力が供給される必要がある。動作周波数500MHzでは、スリープモードからアクティブモードへの変換時において、4～7ナノ秒という時間の間に電力を供給する必要がある。

【0012】

しかし、上述の電力を供給することは、電源部2からでは間に合わないため、電源部2から電源を供給するまでの時間、MPUチップ3近傍に置くデカップリ

ングコンデンサ5に充電されている電荷を放電することによってMPUチップ3に電源を供給することが行なわれる。

【0013】

動作クロック周波数が1GHzのものにあつては、このような機能を満足させるために、MPUチップ3近傍のデカップリングコンデンサ5のESLは、少なくとも10pH以下であることが必要となる。

【0014】

先に述べた一般的な積層コンデンサのESLは、500～800pH程度であり、上述したような10pH以下には程遠い。このように、インダクタンス成分が積層コンデンサにおいてもたらされるのは、積層コンデンサにおいて流れる電流の方向によってその方向が決まる磁束が誘起され、この磁束に起因して自己インダクタンス成分が生じるためである。

【0015】

上述したような背景の下、低ESL化を図り得る積層コンデンサの構造が、たとえば、特開平2-159008号公報、米国特許第5880925号、特開平11-144996号公報等において提案されている。

【0016】

上述の低ESL化は、主として、積層コンデンサにおいて誘起される磁束の相殺によるもので、このような磁束の相殺が生じるようにするため、積層コンデンサにおいて流れる電流の方向を多様化することが行なわれている。そして、この電流の方向の多様化のため、コンデンサ本体の外表面上に形成される外部端子電極の数を増やすことによって、これと内部電極とを電氣的に接続するように内部電極から引き出される引出電極の数を増やすことが行なわれている。このようにして、内部電極に流れる電流をいくつかの方向に分岐させることによって、生じ得る磁束を抑制して低ESL化が図られる。

【0017】

なお、上述したような低ESL化が図られた積層コンデンサによつても、10pH以下のESLを実現することは困難である。そのため、このような積層コンデンサを、たとえば、図7に示したMPU1の電源部2に接続されるデカップリ

ングコンデンサ5として用いる場合には、10pH以下といったESLを実現するため、複数個の積層コンデンサを並列に接続した状態として、配線基板に実装することが行なわれている。

【0018】

【発明が解決しようとする課題】

上述のような積層コンデンサにおいて、内部電極に流れる電流については、特定の方向性をなくすことによって、低ESL化が図られるが、各引出電極においては、電流が一方向に流れるため、さらなる低ESL化のためには、各引出電極の部分で流れる電流によって生じるインダクタンス成分を無視することはできない。

【0019】

また、前述したように、たとえば、図7に示したMPU1の電源部2に接続されるデカップリングコンデンサ5のような用途に向けられる場合、低ESL化が図られた積層コンデンサにおいては、複数個の外部端子電極の配列ピッチは、たとえば0.8mm(±0.1mm)程度と小さくされることが多い。そして、各外部端子電極に接続される複数個の引出電極間の間隔は、外部端子電極の配列ピッチに合わせる必要があるため、各引出電極の幅方向寸法も小さくなる。このことも、ESLの低減の妨げになり得る。

【0020】

そこで、この発明の目的は、特に引出電極の形態に着目しながら低ESL化をより効果的に図り得るように改良された積層コンデンサを提供しようとするところである。

【0021】

この発明の他の目的は、上述したような積層コンデンサを用いて構成される、配線基板、デカップリング回路および高周波回路を提供しようとするところである。

【0022】

【課題を解決するための手段】

この発明に係る積層コンデンサは、相対向する2つの主面およびこれら主面間

を連結する4つの側面を有する直方体状のコンデンサ本体を備えている。

【0023】

このコンデンサ本体は、その主面の延びる方向に延びる複数の誘電体層、およびコンデンサユニットを形成するように特定の誘電体層を介して互に対向する少なくとも1対の第1および第2の内部電極を備えている。

【0024】

また、コンデンサ本体は、第1の内部電極から少なくとも1つの前記側面上の少なくとも2つの位置にまで引き出される、少なくとも2個の第1の引出電極を備えるとともに、第2の内部電極から第1の引出電極が引き出された位置の間に挟まれた位置にまで引き出される、少なくとも1個の第2の引出電極を備えている。

【0025】

上述のように、第1および第2の引出電極が引き出された側面上には、第1および第2の引出電極にそれぞれ電氣的に接続される第1および第2の外部端子電極が設けられる。

【0026】

そして、前述した技術的課題を解決するため、この発明では、第1および第2の引出電極の各々の長さ方向寸法 L と幅方向寸法 W との比率 L/W が、0.4以上かつ3.0以下であることを特徴としている。

【0027】

上述の比率 L/W は、0.4以上かつ1.3以下であることが好ましい。

【0028】

好ましくは、第1および第2の引出電極は、少なくとも相対向する2つの側面の各々上にまで引き出され、また、好ましくは、4つの前記側面の各々上に、第1および第2の引出電極の少なくとも一方が引き出される。

【0029】

また、第1の引出電極と第2の引出電極とは、主面の周方向に見たとき、交互に配置されていることが好ましい。

【0030】

この発明に係る積層コンデンサは、マイクロプロセッシングユニットに備えるMPUチップのための電源回路に接続されるデカップリングコンデンサとして有利に用いられる。

【0031】

この発明は、また、上述したような積層コンデンサが実装された、配線基板にも向けられる。

【0032】

上述したように、この発明が配線基板に向けられる場合、その具体的な実施態様では、この配線基板には、マイクロプロセッシングユニットに備えるMPUチップがさらに実装される。

【0033】

この発明は、さらに、上述したような積層コンデンサを備える、デカップリング回路にも向けられる。

【0034】

さらに、この発明は、上述したような積層コンデンサを備える、高周波回路にも向けられる。

【0035】

【発明の実施の形態】

図1および図2は、この発明の第1の実施形態による積層コンデンサ11を示している。ここで、図1は、積層コンデンサ11の外観を示す斜視図であり、図2は、積層コンデンサ11の内部構造を特定の断面をもって示す平面図であり、図2において、(1)と(2)とは互いに異なる断面を表わしている。

【0036】

積層コンデンサ11は、図1にその外観を示すように、相対向する2つの主面12および13ならびにこれら主面12および13間を連結する4つの側面14、15、16および17を有する、直方体状のコンデンサ本体18を備えている。

【0037】

コンデンサ本体18は、主面12および13の延びる方向に延びる、たとえば

セラミック誘電体からなる複数の誘電体層 19、ならびにコンデンサユニットを形成するように特定の誘電体層 19 を介して互いに対向する少なくとも 1 対の第 1 および第 2 の内部電極 20 および 21 を備えている。

【0038】

図 2 (1) は、第 1 の内部電極 20 が通る断面を示し、また、図 2 (2) は、第 2 の内部電極 21 が通る断面を示している。

【0039】

コンデンサ本体 18 は、また、第 1 の内部電極 20 から 3 つの側面 15 ~ 17 の各々上にまで引き出される、5 個の第 1 の引出電極 22 を備えるとともに、第 2 の内部電極 21 から 3 つの側面 14、15 および 17 の各々上にまで引き出される 5 個の第 2 の引出電極 23 を備えている。

【0040】

上述した 5 個の第 1 の引出電極 22 が引き出された各位置は互いに異なっており、第 2 の引出電極 23 が引き出された各位置は、第 1 の引出電極 22 が引き出された位置の間に挟まれた位置となっている。そして、第 1 の引出電極 22 と第 2 の引出電極 23 とは、主面 12 および 13 の周方向に見たとき、交互に配置されている。

【0041】

また、第 1 の引出電極 22 が引き出された側面 15 ~ 17 の各々上には、これら第 1 の引出電極 22 の各々に電氣的に接続される第 1 の外部端子電極 24 が設けられる。また、第 2 の引出電極 23 が引き出された側面 14、15 および 17 の各々上には、これら第 2 の引出電極 23 の各々に電氣的に接続される第 2 の外部端子電極 25 が設けられている。

【0042】

このようにして、積層コンデンサ 11 においては、4 つの側面 14 ~ 17 の各々上に、第 1 および第 2 の引出電極 22 および 23 の少なくとも一方が引き出され、そのため、第 1 および第 2 の外部端子電極 24 および 25 の少なくとも一方が設けられている。

【0043】

前述したように、第1の引出電極22と第2の引出電極23とは、主面12および13の周方向に見たとき、交互に配置されているので、4つの側面14～17上において、すべての第1の外部端子電極24は、第2の外部端子電極25と隣り合うように配置されることになる。別の観点から説明すると、すべての外部端子電極24および25のいずれもが、これに接続される内部電極を共通にするものとは隣り合わないよう配置されている。

【0044】

このように、この積層コンデンサ11によれば、各々複数個の第1および第2の引出電極22および23が設けられているので、内部電極20および21の各々において流れる電流を種々の方向に向けることができ、そのため、これら電流によって誘起される磁束が効果的に相殺され、ESLの低減を図ることができる。

【0045】

特に、この実施形態のように、第1および第2の引出電極22および23が、それぞれ、3つの側面15～17または3つの側面14、15および17の各々上にまで引き出されるようにしたり、4つの側面14～17の各々上に、第1および第2の引出電極22および23の少なくとも一方が引き出されるようにしたり、第1の引出電極22と第2の引出電極23とが、主面12および13の周方向に見たとき、交互に配置されるようにしたりすることは、ESLの低減にとってより有効である。

【0046】

なお、積層コンデンサ11において、より大きな静電容量を得るため、第1の内部電極20と第2の内部電極21との対向する部分の数は複数とされ、複数個のコンデンサユニットを形成するようにされる。そのため、たとえば、第1および第2の内部電極20および21の組の数が複数とされる。そして、このように形成された複数個のコンデンサユニットは、第1および第2の外部端子電極24および25によって並列接続される。

【0047】

このような積層コンデンサ11において、この発明では、第1および第2の引

出電極 22 および 23 の各々の長さ方向寸法 L と幅方向寸法 W との比率 L/W は、0.4 以上かつ 3.0 以下とされることを特徴としている。この比率 L/W は、好ましくは、0.4 以上かつ 1.3 以下に選ばれる。このような比率 L/W の範囲は、以下のような実験によって求められたものである。

【0048】

この実験において、試料となる積層コンデンサ 11 は、3.2mm×1.6mm の大きさの主面 12 および 13 を有するコンデンサ本体 18 を備えるもので、以下の表 1 の「長さ」に示すような種々の長さ方向寸法 L および「幅」に示すような種々の幅方向寸法 W をそれぞれ有する引出電極 22 および 23 を形成している積層コンデンサ 11 を作製した。

【0049】

【表 1】

幅\長さ	0.1mm	0.2mm	0.3mm	0.5mm
0.08mm	38	65	87	106
0.16mm	28	35	50	81
0.24mm	25	32	39	58

【0050】

次に、各試料に係る積層コンデンサ 11 について、ESL 値を共振法によって求めた。表 1 には、これら ESL 値 (pH) が示されている。

【0051】

表 1 からわかるように、 L/W の比率が 3.0 以下であるとき、80 pH 以下の ESL 値が得られ、さらに、 L/W の比率が 1.3 以下であれば、40 pH 以下の ESL 値が得られている。

【0052】

このように、積層コンデンサ 11 における ESL 値は、 L/W の比率に関係していることがわかる。すなわち、引出電極 22 および 23 の各々に流れる電流の方向は一方であるため、これらの部分で生じるインダクタンス成分の割合が比較的大きくなるとともに、この引出電極 22 および 23 の各々の長さ方向寸法 L とび幅方向寸法 W との関係により、内部電極 20 および 21 に流れる電流に及ぼ

す影響も無視できない。

【0053】

また、上述のように、 L/W の比率を3以下、あるいは1.3以下とし、引出電極22および23の各々の幅方向寸法 W を比較的広くすることによって、電荷がチャージされたコンデンサユニットの部分から引出電極22および23へ向かう電流を、内部電極20および21において円滑に流すことができる。

【0054】

また、 L/W の比率を0.4以上としたのは、0.4未満では、長さ方向寸法 L が小さくなりすぎ、これに応じて幅方向寸法 W が大きくなりすぎることによって、絶縁性や耐湿性などの点で不良が生じやすいためである。

【0055】

図3は、この発明の第2の実施形態による積層コンデンサ11aを示す、図2に相当する図である。図3において、図2に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0056】

図3に示した積層コンデンサ11aにおいては、コンデンサ本体18の側面14および16上には何らの外部端子電極も設けられず、したがって、第1および第2の引出電極22および23のいずれもが側面14および16には引き出されていない。

【0057】

なお、この実施形態においても、第1の引出電極22と第2の引出電極23とは、主面12および13（図1参照）の周方向に見たとき、交互に配置されていて、したがって、第1の外部端子電極24と第2の外部端子電極25とについても、交互に並んでいる。

【0058】

このような積層コンデンサ11aに関して、前述した第1の実施形態の場合と同様の方法によって、引出電極22および23の各々の長さ方向寸法 L および幅方向寸法 W を種々に変えた試料を作製し、各試料についてESL値を求めた。その結果が以下の表2に示されている。

【0059】

【表 2】

幅×長さ	0.1mm	0.2mm	0.3mm	0.5mm
0.08mm	79	107	131	176
0.16mm	68	76	95	133
0.24mm	55	66	77	106

【0060】

表 2 からわかるように、 L/W の比率が 3.0 以下であれば、120 pH 以下の ESL 値が得られ、 L/W の比率が 1.3 以下であれば、80 pH 以下の ESL 値が得られている。

【0061】

このように、第 2 の実施形態によっても、ESL 値は、引出電極 22 および 23 の各々の長さ方向寸法 L および幅方向寸法 W と関係していることがわかる。

【0062】

図 4 は、この発明の第 3 の実施形態による積層コンデンサ 11b を示す、図 2 に相当する図である。図 4 において、図 2 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0063】

図 4 に示した積層コンデンサ 11b においては、コンデンサ本体 18 は、実質的に正方形の主面形状を有していて、第 1 および第 2 の内部電極 20 および 21 についても、実質的に正方形のパターンをそれぞれ有している。

【0064】

第 1 および第 2 の引出電極 22 および 23 は、それぞれ、4 つの側面 14 ~ 17 上にまで引き出され、側面 14 ~ 17 の各々に引き出される第 1 の引出電極 22 と第 2 の引出電極 23 とが、側面 14 ~ 17 の各々上で交互に配置されているばかりでなく、コンデンサ本体 18 の主面 12 および 13 (図 1 参照) の周方向に見たときにも、すべての第 1 の引出電極 22 とすべての第 2 の引出電極 23 とが、交互に配置されている。

【0065】

この実施形態によれば、引出電極 22 および 23 の数が増え、かつ 4 つの側面 14~17 の各々上に第 1 および第 2 の引出電極 22 および 23 が引き出されているので、ESL のさらなる低減を図ることができる。

【0066】

この積層コンデンサ 11b においても、引出電極 22 および 23 の各々の長さ方向寸法 L と幅方向寸法 W との比率 L/W が、0.4 以上かつ 3.0 以下、好ましくは、0.4 以上かつ 1.3 以下とされる。

【0067】

以上、この発明に係る積層コンデンサを、図示したいいくつかの実施形態に関連して説明したが、内部電極の数、引出電極の数および位置、あるいは、外部端子電極の数および位置については、種々に変更することができる。上述した引出電極の数および位置について言えば、この発明の範囲内にある積層コンデンサは、最低、2 個の第 1 の引出電極および 1 個の第 2 の引出電極を備え、2 個の第 1 の引出電極が 1 つの側面上の 2 つの位置にまでそれぞれ引き出され、1 個の第 2 の引出電極が、第 1 の引出電極が引き出された位置の間に挟まれた位置にまで引き出されているものであればよい。

【0068】

この発明に係る積層コンデンサは、たとえば、前述の図 7 に示した MPU 1 に備えるデカップリングコンデンサ 5 として有利に用いることができる。このように、この発明に係る積層コンデンサをデカップリングコンデンサとして用いている MPU の構造について、図 5 および図 6 を参照して以下に説明する。

【0069】

図 5 に示すように、MPU 31 は、たとえば多層構造を有する配線基板 32 を備え、配線基板 32 の上面には、MPU チップ（ベアチップ）33 が表面実装されている。

【0070】

また、配線基板 32 上であって、MPU チップ 33 の近傍には、デカップリングコンデンサとして機能する積層コンデンサ 34 が表面実装されている。この積層コンデンサ 34 としては、低 ESL 化が図られた前述の積層コンデンサ 11、

11a または 11b を用いることができる。

【0071】

また、図5では、4個の積層コンデンサ34が配線基板32上に実装された状態が示されている。4個の積層コンデンサ34は、互いに並列に接続されることによって、たとえば10pH以下といったESLを実現するようにされる。

【0072】

積層コンデンサ34は、図6に示すように、その外部端子電極35が配線基板32上の導電パッド36に対して半田37によって半田付けされる。これら積層コンデンサ34間の接続および積層コンデンサ34とMPUチップ33との接続を達成するため、図示しないが、導電パッド36を介してのビアホール接続が適用される。

【0073】

また、積層コンデンサ34とMPUチップ33との間での配線に伴うインダクタンス成分をも低減できるようにするため、積層コンデンサ34は、MPUチップ33のすぐ横に配置されるのが好ましい。そして、図5に示すように、4個の積層コンデンサ34が実装される場合には、矩形の平面形状を有するMPUチップ33の各辺の近傍に1個ずつ配置されることが好ましい。

【0074】

上述のように、矩形の平面形状を有するMPUチップ33の各辺の近傍にバランス良く積層コンデンサ34を配置しようとする場合、積層コンデンサ34の個数は4の整数倍であることが好ましい。

【0075】

すなわち、前述したように、10pH以下のESLを実現しようとするとき、MPUチップ33の各辺の近傍に1個ずつ、合計4個の積層コンデンサ34を配置する場合には、ESL値が40pH以下の積層コンデンサ34を用いることができ、各辺の近傍に2個ずつ、合計8個の積層コンデンサ34を配置する場合には、ESL値が80pH以下の積層コンデンサ34を用いることができ、各辺の近傍に3個ずつ、合計12個の積層コンデンサ34を用いる場合には、ESL値が120pH以下の積層コンデンサ34を用いることができる。

【0076】

【発明の効果】

以上のように、この発明に係る積層コンデンサによれば、内部電極に流れる電流を種々の方向へ向けるように引出電極が形成されているとともに、引出電極の各々の長さ方向寸法 L と幅方向寸法 W との比率 L/W が、0.4以上かつ3.0以下に選ばれているので、内部電極や引出電極に流れる電流によって誘起される磁束を効果的に相殺する効果が現れ、ESLのより低減化を図ることができる。

【0077】

また、上述の比率 L/W が、0.4以上かつ1.3以下とされたときには、一層の低ESL化を図ることができる。

【0078】

また、この発明に係る積層コンデンサにおいて、互いに対向する第1および第2の内部電極からそれぞれ引き出される第1および第2の引出電極が、コンデンサ本体の少なくとも相対向する2つの側面の各々上にまで引き出されたり、4つの側面の各々上に第1および第2の引出電極の少なくとも一方が引き出されたり、第1の引出電極と第2の引出電極とが、コンデンサ本体の主面の周方向に見たとき、交互に配置されたりすると、さらなる低ESL化を図ることができる。

【0079】

このようなことから、積層コンデンサの共振周波数を高周波化することができ、積層コンデンサがコンデンサとして機能する周波数域を高周波化することができ、この発明に係る積層コンデンサによれば、電子回路の高周波化に十分対応することができ、たとえば、高周波回路におけるバイパスコンデンサやデカップリングコンデンサとして有利に用いることができる。

【0080】

また、MPUチップ等と組み合わされて使用されるデカップリングコンデンサにあっては、クイックパワーサプライとしての機能が要求されるが、この発明に係る積層コンデンサは、ESLが低いので、このような用途に向けられても、高速動作に十分対応することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施形態による積層コンデンサ 11 の外観を示す斜視図である。

【図 2】

図 1 に示した積層コンデンサ 11 の内部構造を示す平面図であり、(1) は第 1 の内部電極 20 が通る断面をもって示し、(2) は第 2 の内部電極 21 が通る断面をもって示している。

【図 3】

この発明の第 2 の実施形態による積層コンデンサ 11 a を示す、図 2 に相当する図である。

【図 4】

この発明の第 3 の実施形態による積層コンデンサ 11 b を示す、図 2 に相当する図である。

【図 5】

この発明の実施形態による積層コンデンサ 34 をデカップリングコンデンサとして用いている、MPU 31 を図解的に示す平面図である。

【図 6】

図 5 に示した積層コンデンサ 34 と配線基板 32 との接続部分を拡大して示す斜視図である。

【図 7】

この発明にとって興味ある MPU 1 および電源部 2 に関する接続構成を図解的に示すブロック図である。

【符号の説明】

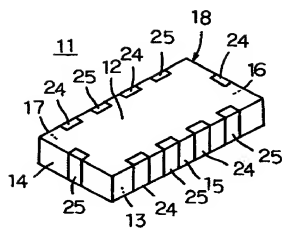
- 1, 31 MPU
- 2 電源部
- 3, 33 MPUチップ
- 5 デカップリングコンデンサ
- 11, 11 a, 11 b, 34 積層コンデンサ
- 12, 13 主面

- 14～17 側面
- 18 コンデンサ本体
- 19 誘電体層
- 20 第1の内部電極
- 21 第2の内部電極
- 22 第1の引出電極
- 23 第2の引出電極
- 24 第1の外部端子電極
- 25 第2の外部端子電極
- L 長手方向寸法
- W 幅方向寸法

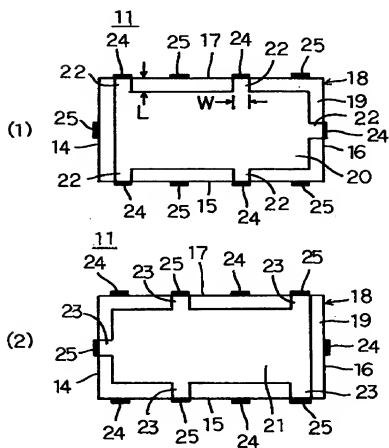
【書類名】

図面

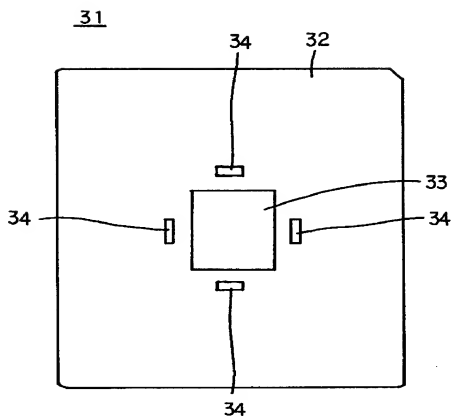
【図 1】



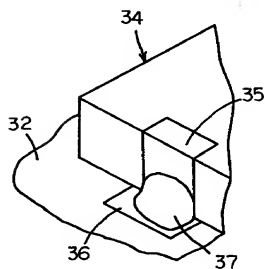
【図 2】



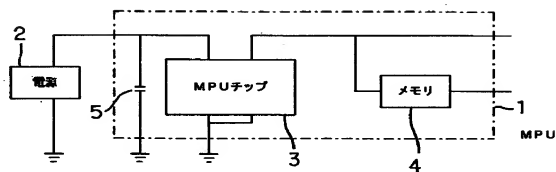
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 積層コンデンサの等価直列インダクタンス (ESL) を低減する。

【解決手段】 内部電極 20, 21 の各々からコンデンサ本体 18 の側面 14 ~ 17 まで引き出されるように、複数の引出電極 22, 23 を形成し、これら引出電極 22, 23 の各々の長さ方向寸法 L と幅方向寸法 W との比率 L/W を、0.4 以上かつ 3.0 以下、好ましくは、0.4 以上かつ 1.3 以下とする。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号
氏 名 株式会社村田製作所